

明細書

半導体装置

【技術分野】

- 本発明は、薄膜トランジスタ(TFT)を含む半導体装置に関する。特に画素部および駆動回路を含むパネル上に集積回路を搭載する技術に関する。

【背景技術】

近年、同一基板上に形成された半導体薄膜(厚さ数～数百nm程度)を用いて形成された薄膜トランジスタ(TFT)を有する半導体装置に関して、様々な技術開発が進められている。

- 10 このような半導体装置のうち、パネルとなる基板上に画素部だけでなく、内部回路として駆動回路が一体形成され、外部回路が、パネルの外部に形成された構造が知られている(例えば、特許文献1参照。)。

- これに対して、外部回路を一体形成したシステムオンパネルを作製すべくパネル上に外部回路を搭載しようとする、画素部や駆動回路の面積を削減したり、外部回路を搭載するためのスペースを新たに設けたりする必要があるため、高精細化、高速駆動が図れないばかりか、パネルが大型化してしまうという問題が生じる。

【特許文献1】

特開2002-49359号公報

20 【発明の開示】

【発明が解決しようとする課題】

そこで、本発明では、システムオンパネルの狭額縁化を実現することを目的とする。また、パネル上に搭載されるシステムの高機能化または、多機能化を図ることを目的とする。

本発明では、画素部(液晶素子、発光素子を含む)および駆動回路が形成されたパネル上に、従来、外部回路を構成していた集積回路を積層形成することを特徴とする。

5 回路のうちのいずれか一種、または複数種を転写技術により積層形成することを特徴とする。

なお、パネル上の画素部、および駆動回路は転写技術により形成されたものであっても、基板上に直接形成されたものであっても良い。

なお、本発明において、デザインルール(設計ルール)や、機能の異なる集積回路を積層形成することができる。また、本発明に用いる転写技術としては、本明細書中で示すように基

10 板上に形成された素子形成層を金属酸化物層において基板から剥離する方法を含む転写技術を用いることもできるが、例えば、基板上に水素を含むアモルファスシリコン膜を成膜した後、レーザー光を照射することにより基板から素子形成層を剥離する方法を含む転写技術や、素子形成層が形成された基板を溶液やガスを用いてエッチングまたは機械的に削る方法を含む転写技術といった公知の技術を用いることもできる。なお、ここでは、転写技術により

15 転写される層を素子形成層と呼び、本発明においてパネル上の駆動回路上に転写技術を用いて積層形成されるディスプレイコントローラ、メモリコントローラ、CPU(Central Processing unit)、MPU(Micro Processor unit)、メモリ等の集積回路を含み、さらにパネルを構成する基板上の画素部(液晶素子、発光素子を含む)や、駆動回路が転写技術により形成される場合には、これらも素子形成層に含めることとする。

20 また、駆動回路上に積層形成された集積回路は、駆動回路と電氣的に接続されるものとする。

以上のように、パネル上の駆動回路と重なる位置に1種または2種以上の集積回路を積層して得られた積層回路を形成することにより、集積回路を形成するためのスペースが特に必要とならないので、デザインルールの異なる集積回路(例えば、 $0.35\sim 1\mu\text{m}$ のデザインルールの集積回路と、 $0.18\sim 0.25\mu\text{m}$ のデザインルールの集積回路)を同一パネル上に形成することが可能である。

ールの集積回路と、1～50 μm のデザインルールの集積回路等)や機能の異なる集積回路(例えば、ディスプレイコントローラ、メモリコントローラ、CPU(Central Processing unit)、MPU(Micro Processor unit)、メモリ等)を複数形成することも可能である。

また、転写技術により形成される素子形成層は、その膜厚が50 μm 以下であることから複

- 5 数層を積層した場合でも、全体の膜厚増加に大きな影響を与えることはない。

さらに、駆動回路と重なる位置に集積回路を積層形成することにより、画素部に形成される素子が両面発光型の場合に開口率に影響を与えることなく半導体装置を形成することができる。

- 10 以上より、本発明の構成は、基板上に画素部と駆動回路を有する半導体装置であって、前記駆動回路と重なる位置に積層回路を有することを特徴とする半導体装置である。

また、基板上に画素部と駆動回路を有する半導体装置であって、前記積層回路は、前記駆動回路と重なる位置に設けられ、かつ別の基板上に形成された素子形成層を転写してなる集積回路が積層されたものであることを特徴とする半導体装置である。

- 15 なお、上記構成において、積層回路は、画素部および駆動回路の全部または、一部と電気的に接続されており、積層回路を構成する集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモリのうちのいずれか一つであることを特徴とする。さらに、積層回路は、集積回路を、1層、または2層以上積層してなることを特徴とする。

- 20 また、本発明における半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型であって、パネル上の画素部に発光素子、または液晶素子を有することを特徴とする。なお、発光素子を有する場合には、発光素子の第1の電極、電界発光層および第2の電極のうち、第1の電極および前記第2の電極を透光性材料により形成し、第1の電極および第2の電極の両電極から電界発光層で生じた光を出射させる両面発光構造とすることもできる。

【発明の効果】

本発明において、従来パネルの外部に形成されていた集積回路をパネル上の駆動回路に積層形成することにより、システムオンパネルの狭額縁化を実現することができる。さらに、システムの高機能化、多機能化を図ることができる。

5 【図面の簡単な説明】

【図1】 本発明の構成について説明する図。

【図2】 本発明の積層回路について説明する図。

【図3】 本発明のパネルの構成について説明するブロック図。

【図4】 ディスプレイコントローラおよび電源回路について説明する図。

10 【図5】 積層された集積回路の作製方法について説明する図。

【図6】 積層された集積回路の作製方法について説明する図。

【図7】 積層された集積回路の作製方法について説明する図。

【図8】 積層された集積回路の作製方法について説明する図。

【図9】 積層された集積回路の作製方法について説明する図。

15 【図10】 積層された集積回路の作製方法について説明する図。

【図11】 転写工程を自動化させた装置について説明する図。

【図12】 画素部に形成される発光素子の構成について説明する図。

【図13】 画素部に形成される発光素子の構成について説明する図。

【図14】 画素部に形成される液晶素子の構成について説明する図。

20 【図15】 本発明を用いて形成される電子機器について説明する図。

【発明を実施するための最良の形態】

以下、本発明の実施の形態について詳細に説明する。以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、

本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

- 5 図1は、本発明により形成される半導体装置のモジュールの構成について示す斜視図である。

図1に示す半導体装置は、基板101上に画素部102および駆動回路(ソース側駆動回路103、ゲート側駆動回路(104、105)が形成され、ソース側駆動回路103上に複数の回路が積層されてなる積層回路106が形成されている。なお、ここでは、ソース側駆動回路103上
10 に積層回路106が形成される場合について示したが、本発明は、これに限られることはなくゲート側駆動回路(104、105)上に形成される構成とすることもできる。

なお、積層回路106に含まれる集積回路としては、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、メモリコントローラ、またはメモリ等が挙げられる。

- また、基板101上には、FPC107が貼り付けられており、外部からの信号は、FPC107を
15 介して、上述した積層回路106の他、パネル上の駆動回路または画素部に入力される。

なお、パネル上の画素部には、液晶素子、または発光素子が形成されており、発光素子を形成する場合には、パネルの両面に発光する両面発光型の発光素子を設けることもできる。

本発明において、積層回路106は、転写技術を用いて、各回路を順次積層形成するが、集積回路106だけでなく画素部や駆動回路を転写技術により形成しても良い。

- 20 次に、パネル上の積層回路について詳細に説明する。図2(A)には、本発明により形成される半導体装置のモジュールの断面図を示す。

基板201上には、画素部202および駆動回路203が形成されており、駆動回路203上には積層回路204が形成されている。なお、積層回路204の各層には、それぞれ回路が形成されており、転写技術により積層された際には、それぞれが電気的な接続を得られるように

形成されている。

図2(B)には、積層回路204の作製工程を示す。すなわち、基板201上に形成された駆動回路203上に、別の基板(ここでは、第1の基板211とよぶ)上に形成され、1層目となる第1の素子形成層212を転写技術により積層する。なお、このとき駆動回路203に含まれる配線

- 5 と第1の素子形成層212に含まれる配線とが電氣的に接続されるようにする。

第1の素子形成層212が駆動回路203上に転写された後、第1の素子形成層212から第1の基板211を剥離する。なお、このとき、第1の素子形成層212に含まれる配線の一部は表面に露出される。

- 次に、第1の素子形成層212上に別の基板(ここでは、第2の基板213とよぶ)上に形成され、2層目となる第2の素子形成層214を転写技術により積層する。なお、このとき第1の素子形成層212に含まれる配線と第2の素子形成層214に含まれる配線とが電氣的に接続されるようにする。
- 10

第2の素子形成層214が第1の素子形成層212上に転写された後、第2の素子形成層214から第2の基板213を剥離する。なお、このとき、第2の素子形成層214に含まれる配線の

- 15 部は表面に露出される。

さらに、第2の素子形成層214上に別の基板(ここでは、第3の基板215とよぶ)上に形成され、3層目となる第3の素子形成層216を転写技術により積層する。なお、このとき第2の素子形成層214に含まれる配線と第3の素子形成層216に含まれる配線とが電氣的に接続されるようにする。

- 20 そして、第3の素子形成層216が第2の素子形成層214上に転写される。なお、ここで形成される第3の素子形成層216が積層回路の最上層である場合には、必ずしも第3の素子形成層216から第3の基板215を剥離する必要はなく、剥離しなくてもどちらでも良い。

以上のようにして、パネルの駆動回路203上に積層回路204が形成される。なお、本実施の形態では、積層回路204が3層からなる場合について示したが、本発明はこれに限られる

ことはなく、1層以上からなれば何層積層されていても良い。

以下に、本発明の実施例について説明する。

【実施例1】

- 本実施例では、本発明の積層回路に映像処理を行う上で不可欠なディスプレイコントローラおよび電源回路を含む場合の構成について図3のブロック図を用いて説明する。
- すなわち、基板301上の所望の位置に画素部302と、駆動回路であるソース側駆動回路303、およびゲート側駆動回路(304、305)が形成されている。そして、ソース側駆動回路303上に積層されるディスプレイコントローラ306、フレームメモリA(307)、フレームメモリB(308)および電源回路309を有している。
- 10 なお、パネル上の配線は、FPC310を介して、信号制御回路321(CPU322、メモリコントローラ323、メモリ324)と接続されている。また、FPC310を介してディスプレイコントローラ306には、基準クロック信号(CK)、同期信号(HSYNC&VSYNC)、映像信号等が入力され、電源回路309には基準電源等がそれぞれ入力される。
- 15 電源回路309からは、フレームメモリA(307)、およびフレームメモリB(308)に、それぞれフレームメモリ用電源314が入力され、ソース側駆動回路303にソース側駆動回路用電源311が入力され、ゲート側駆動回路305にゲート側駆動回路用電源312が入力され、ディスプレイコントローラ306にディスプレイコントローラ用電源313が入力され、画素部302に素子駆動用電源315が入力される。
- 20 また、フレームメモリA(307)、およびフレームメモリB(308)からは、それぞれフレームメモリリード/ライト制御信号318が入力される。さらに、ディスプレイコントローラ306からは、ソース側駆動回路303にソース側駆動回路クロック信号・スタートパルス316が入力され、ゲート側駆動回路305にゲート側駆動回路クロック信号・スタートパルス317が入力される。
- 次に、ディスプレイコントローラ306および電源回路309の構成について、図4(A)(B)を用いて詳細に説明する。

図4(A)において、ディスプレイコントローラ306は、分周回路401、水平クロック発生回路402、垂直クロック発生回路403、メモリR/W制御回路422、Xカウンタ(423、425)、Yカウンタ(424、426)、Xデコーダ(427、429)、Yデコーダ(428、430)、映像信号処理回路404を有する。

- 5 分周回路401、水平クロック発生回路402、垂直クロック発生回路403において、外部より入力される基準クロック信号、水平同期信号(HSYNC)、垂直同期信号(VSYNC)から、ソース側クロック信号、ソース側スタートパルス、データラッチ信号、ゲート側クロック信号、ゲート側スタートパルス等を生成する。

- また、メモリR/W制御回路422において、フレームメモリA、フレームメモリBの書き込み、
10 読み出しの状態制御を行う。さらに、Xカウンタ(423、425)、Yカウンタ(424、426)、Xデコーダ(427、429)、Yデコーダ(428、430)は、フレームメモリA(443)、フレームメモリB(444)それぞれのメモリアドレスの選択を行う。

- 映像信号処理回路404において、外部より入力される映像信号ソースを、半導体装置の駆動方法に対応した形式である映像信号(VDATA)に変換し、半導体装置のソース側駆動回路441に供給する。映像信号の変換としては、主にデータ入力順序の変換、D/A変換もしくはA/D変換等があるが、ここではフレームメモリを用い、データ入力順序の変換を行っている。
- 15

- 図4(B)に示す電源回路309は、外部より入力される基準電源を用い、それぞれ適当な電位を有する電源を供給する。ここでは、ソース側駆動回路441を駆動するためのソース側駆動回路用電源、ゲート側駆動回路442を駆動するためのゲート側駆動回路用電源、画素部に形成された素子(発光素子など)に電流を供給するための素子用電源、ディスプレイコントローラを駆動するための、ディスプレイコントローラ用電源、フレームメモリを駆動するための、フレームメモリ用電源を生成、供給している。
- 20

【実施例2】

本実施例では、積層された集積回路の作製方法について、図5～8を用いて詳細に説明する。

図5(A)には、第1の基板500上に金属層501、金属酸化物層502、および酸化物層503が順次積層され、その上に素子形成層504が形成された状態を示す。

- 5 第1の基板500としては、ガラス基板、石英基板、プラスチック基板、セラミック基板、シリコン基板、金属基板またはステンレス基板を用いることができるが、本実施例では、ガラス基板であるAN100を用いることとする。

- そして、第1の基板500上に形成される金属層501に用いる材料としては、W、Ti、Ta、Mo、Nd、Ni、Co、Zr、Zn、Ru、Rh、Pd、Os、Ir、Ptから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料からなる単層、またはこれらの積層、或いは、これらの窒化物、例えば、窒化チタン、窒化タングステン、窒化タンタル、窒化モリブデンからなる単層、またはこれらの積層を用いればよい。なお、金属層501の膜厚は10nm～200nm、好ましくは50nm～75nmとすればよい。
- 10

- ここで、スパッタリング法により金属層501を形成する場合には、第1の基板500を固定するため、第1の基板500の周縁部付近における膜厚が不均一になりやすい。そのため、ドライエッチングによって周縁部のみを除去することが好ましいが、その際、第1の基板500もエッチングされないように、第1の基板500と金属層501との間に酸化窒化シリコン膜からなる絶縁膜を100nm程度形成することもできる。
- 15

- 金属層501上には、金属酸化物層502および酸化物層503が形成されるが、本実施例では、まず酸化物層503を形成した後、金属層501の一部が後の工程において酸化され、金属酸化物層502となる場合について説明する。
- 20

すなわち、ここでは金属層501としてタングステンからなる層(膜厚10nm～200nm、好ましくは50nm～75nm)を形成し、さらに大気にふれることなく、酸化物層503、ここでは酸化シリコン層(膜厚150nm～200nm)を積層形成する。酸化物層503の膜厚は、金属層501

の膜厚の2倍以上とすることが望ましい。例えば、酸化シリコンターゲットを用いたスパッタリング法により、酸化シリコン膜を150nm～200nmの膜厚とするのが好ましい。

また、酸化物層503上に形成される素子形成層504は、TFT(pチャネル型TFT、またはnチャネル型TFT)を適宜組み合わせて形成された集積回路が形成される層のことをいう。こ

- 5 ここで示すTFTは、下地膜505上の半導体膜の一部に形成された不純物領域506およびチャネル形成領域507、ゲート絶縁膜508、およびゲート電極509により構成され、配線510により電氣的に接続されている。

- 10 また、この素子形成層504を形成する際に、少なくとも水素を含む材料膜(半導体膜または金属膜)を形成した後に水素を含む材料膜中に含まれる水素を拡散するための熱処理を行う。この熱処理は420℃以上であればよく、素子形成層504の形成プロセスとは別途行ってもよいし、兼用させて工程を省略してもよい。例えば、水素を含む材料膜として水素を含むアモルファスシリコン膜をCVD法により成膜した後、結晶化させるため500℃以上の熱処理を行えば、加熱によりポリシリコン膜が形成できると同時に水素の拡散を行うことができる。

- 15 なお、この熱処理を行うことにより、金属層501と酸化物層503との間に結晶構造を有する金属酸化物層502が形成される。なお、金属層501と酸化物層503とを積層形成する際に、金属膜501と酸化シリコン膜502との間に2nm～5nm程度形成されていたアモルファス状態の金属酸化物層(酸化タングステン膜)もこの熱処理により結晶構造を形成するため金属酸化物層502に含まれる。

- 20 本実施例では、素子形成層の一部を作製する工程において、金属酸化物層502が形成される場合について説明したが、本発明はこの方法に限られることはなく、金属層501を形成した後、金属酸化物層502を形成し、酸化物層503を形成する方法でも良い。

次に、素子形成層504上に有機樹脂層511を形成する。有機樹脂層511に用いる材料としては、水またはアルコール類に可溶な有機材料を用い、これを全面に塗布、硬化することにより形成する。この有機材料の組成としては、例えば、エポキシ系、アクリレート系、シリコン系

等のいかなるものでもよい。具体的には、スピコート法により水溶性樹脂(東亜合成製:VL-WSHL10)(膜厚 $30\mu\text{m}$)を塗布し、仮硬化させるために2分間の露光を行ったあと、UV光を裏面から2.5分、表面から10分、合計12.5分の露光を行って本硬化させることにより有機樹脂層511が形成される。

- 5 なお、後の剥離を行いやすくするために、金属酸化物層502における密着性を部分的に低下させる処理を行う。密着性を部分的に低下させる処理は、剥離しようとする領域の周縁に沿って金属層502または酸化物層503にレーザー光を部分的に照射する処理、或いは、剥離しようとする領域の周縁に沿って外部から局所的に圧力を加えて酸化物層503の層内または界面の一部に損傷を与える処理である。具体的にはダイヤモンドペンなどで硬い針を
- 10 垂直に押しつけて荷重をかけて動かせばよい。好ましくは、スクライバー装置を用い、押し込み量を $0.1\text{mm}\sim 2\text{mm}$ とし、圧力をかけて動かせばよい。このように、剥離を行う前に剥離現象が生じやすくなるような部分、即ち、きっかけをつくることが重要であり、密着性を選択的(部分的)に低下させる前処理を行うことで、剥離不良がなくなり、さらに歩留まりも向上する。

- 次に、第1の接着層512を形成することにより、有機樹脂層511上に第1の接着層512を介して第2の基板513を貼り付けることができる。なお、第1の接着層511を形成する材料としては、後の工程において、所定の処理を行うことにより接着性を弱めることのできる公知の材料を用いることができるが、本実施例では、後の工程において、光照射により接着力が低下する感光性の両面テープを用いる場合について説明する。
- 15

- さらに、第1の基板500の露出面にも同様に第2の接着層514を形成し、第2の接着層514を介して第3の基板515を貼り付ける。なお、第2の接着層514を形成する材料は、第1の接着層512と同様に両面テープを用いることとする。ここで貼り付けた第3の基板515は、後の剥離工程で第1の基板500が破損することを防ぐ。第2の基板513および第3の基板515としては、第1の基板500よりも剛性の高い基板、例えば石英基板、半導体基板を用いることが好ましい。
- 20

次に、上記密着性を部分的に低下させた領域側から剥離させ、金属層501が設けられている第1の基板500を物理的手段により引き剥がす。本実施例の場合には、金属層501および基板500を金属酸化物層502の部分において、比較的小さな力(例えば、人間の手、ノズルから吹付けられるガスの風圧、超音波等)で引き剥がすことができる。具体的には、酸化タン

5 グステン膜中、または酸化タングステン膜と酸化シリコン膜との界面、または酸化タングステン膜とタングステン膜との界面で分離させ、引き剥がすことができる。こうして、酸化物層503上に形成された素子形成層504を第1の基板500から分離することができる。剥離時の状態を図6(A)に示す。

また、剥離により露出した表面には、金属酸化物層502の一部が残っており、これは、後の

10 工程において、露出面を基板等に接着する際に密着性を低下させる原因となることから、露出面に残っている金属酸化物層502の一部を除去する処理を行うことが好ましい。なお、これらを除去するためには、アンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いることができる。その他、金属酸化物層502の一部が剥離しやすくなる温度(430℃)以下で、以降の工程を行っても良い。

15 剥離および金属酸化物層502の一部を除去した後、フォトリソグラフィーによるマスクを用いたパターニング方法により、表面に露出した酸化物層503側から配線510に達する開口部516を形成する(図6(B))。

そして、形成された開口部516に補助配線517を形成し、図6(C)に示す構造(点線601)を得る。なお、ここで用いる配線材料としては、Ag、Au、Ta、W、Ti、Mo、Al、Cuから選ば

20 れた元素、または前記元素を主成分とする合金もしくは化合物で形成する。なお、後の工程で基板に貼り付けられた素子形成層に重ねて別の素子形成層を形成する場合には、この状態(点線601)で積層することになる。

次に、第3の接着層(異方導電性接着層)518を形成し、第3の接着層518を介して第4の基板519と酸化物層503(及び素子形成層504)とを接着する(図7(A))。なお、ここでいう第

4の基板519とは、ガラス基板、石英基板、セラミック基板、プラスチック基板、シリコン基板、金属基板、またはステンレス基板等の素材の基板上に既に画素部や駆動回路が形成された基板をいい、駆動回路と重なる部分に酸化物層503(及び素子形成層504)が接着される。これにより、駆動回路部分に形成された配線と素子形成層504に形成された配線等が、補助配線517及び第3の接着層(異方導電性接着層)518を介して電氣的に接続される。

なお、本実施例では、駆動回路上に集積回路が積層されることから、高い熱伝導率を有する基板(例えば、酸化アルミニウム(アルミナ)、窒化アルミニウム、窒化酸化アルミニウム、窒化珪素などを主成分とするセラミック基板)を用いることがより好ましい。

また、第1の接着層512により接着された第2の基板513と有機樹脂層511との密着性よりも、第3の接着層(異方導電性接着層)518により接着された酸化物層503(及び素子形成層504)と第4の基板519との密着性の方が高いことが重要である。

また、第3の接着層(異方導電性接着層)518に用いる材料としては、反応硬化型接着剤、熱硬化型接着剤、紫外線硬化型接着剤等の光硬化型接着剤、嫌気型接着剤などの各種硬化型接着剤に異方導電性材料を分散させたものを用いることができる。また、異方導電性材料としては、Ag、Au、Al等の金属粒子を絶縁性被膜で覆ったものを用いることができる。

次に、第2の基板513側から紫外線を照射することにより、第1の接着層512に用いている両面テープの接着力を低下させ、素子形成層504から第2の基板513を分離させる(図7(B))。さらに、ここで露出した表面を水洗することにより、第1の接着層512および有機樹脂層511を溶かして除去することができる。

次に、本実施例では、表面に露出した絶縁膜上に熱伝導性膜520を形成する。なお、ここで示す熱伝導性膜520は、必ずしも必要ではないが、駆動時に生じた熱を放出することができ、熱による素子等の不良を防ぐことができるので、形成しておくのが好ましい。熱伝導性膜520としては、窒化アルミニウム、窒化酸化アルミニウム、ダイヤモンドライクカーボン(DLC)等の膜を用いることができ、スパッタリング法、反応性スパッタリング法、イオンビームスパッタ

リング法、ECR(電子サイクロロン共鳴)スパッタリング法、イオン化蒸着法等の気相成膜法を用いて形成することができる。

なお、熱伝導性膜520を形成することにより得られる状態を図7(C)に示す。

- 次に、図7(C)の熱伝導性膜520上に第4の接着層521を形成する。ここで、第4の接着層
- 5 521を介して図6(C)までの工程を経て得られた点線601の状態を有する別の素子形成層が接着される(図8(A))。なお、ここでは、図6(C)における点線601の状態を有する別の素子形成層を第2の素子形成層701と呼び、第4の基板519上に形成されている素子形成層を第1の素子形成層702と呼ぶことにする。

- また、第2の素子形成層701上には、有機樹脂層522、第5の接着層523、および第5の基
- 10 板524が形成されている。なお、本実施例の場合には、各素子形成層が積層された際に、第1の素子形成層702の配線510と、第2の素子形成層701の補助配線525とが第4の接着層(異方導電性接着層)521を介して電氣的に接続されるため、各素子形成層の大きさ(面積)は同じであっても異なっても問題ない。

- 次に、第5の基板524側から紫外線を照射することにより、第5の接着層523に用いている
- 15 両面テープの接着力を低下させ、第2の素子形成層701から第5の基板524を分離させる(図8(B))。さらに、ここで露出した表面を水洗することにより、第5の接着層523および有機樹脂層522を溶かして除去することができる。

- 以上により、図8(C)に示すように第1の素子形成層702と第2の素子形成層701とが積層された構造を形成することができる。なお、本実施例では、図8(A)の工程を経て、有機樹脂
- 20 層522、第5の接着層523および第5の基板524が除去することにより図8(C)に示す積層構造が形成される場合について説明したが、本発明は、これに限られることはなく、図8(A)において接着して得られる構造とすることもできる。

【実施例3】

本実施例では、実施例2で示した積層構造とは異なるものであって、複数の素子形成層が

積層された後、最後に積層された素子形成層が、基板上に形成された駆動回路上に接着して得られる集積回路の積層構造について図9、10を用いて説明する。

図9(A)に示すように第1の基板800上に第1の素子形成層902が形成されており、さらに、第1の基板800には、第2の接着層814を介して第2の基板815が接着されている。

- 5 なお、本実施例では、この時点で第1の基板800、第2の接着層814、および第2の基板815を金属酸化物層802において剥離せず、第1の素子形成層902上の配線805と重ならない位置に熱伝導性膜820を形成する。なお、ここで形成される熱伝導性膜820は、実施例2における熱伝導性膜520に用いたものと同様の材料を用いて同様の方法で形成すればよい。

- 10 次に熱伝導性膜820が形成された第1の素子形成層902上に第1の接着層821(異方導電性接着層)を形成した後、第2の素子形成層901を接着する。なお、第1の接着層821は、異方導電性の接着剤により形成される異方導電性接着層である。

- また、ここで接着される第2の素子形成層902は、実施例2の図8(A)に示す第2の素子形成層701と同様の構造を有する。すなわち、図9に示す第2の素子形成層901に形成される配線と電氣的に接続された補助配線825を有しており、また、配線上に有機樹脂層822、第3の接着層823、第3の基板824を有している。なお、補助配線825は、第1の素子形成層と接着された際に第1の接着層821を介して第1の素子形成層902における配線805と電氣的に接続される。
- 15

- 第1の素子形成層902と第2の素子形成層901とを接着させた後、第3の基板824側から紫外線を照射することにより、第3の接着層823に用いている両面テープの接着力を低下させ、第2の素子形成層901から第3の基板824を分離させる。さらに、ここで露出した表面を水洗することにより、第3の接着層823および有機樹脂層822を溶かして除去することができる。
- 20

次に、第2の素子形成層901の表面に露出した配線に接してバンプ825を形成し、駆動回路を有する第4の基板827上に異方導電性の接着剤により形成される第4の接着層828を介して接着させる。これにより、第4の基板827上の駆動回路に形成される配線と第2の素子形

成層901の表面に露出した配線とが、バンプ825を介して電氣的に接続される。なお、バンプ825を形成する材料としては、タングステン(W)、タングステン-レニウム(W-Re)、パラジウム(Pd)、ベリリウム銅(BeCu)等を用いることができる。

なお、図9(B)には、図9(A)に示す素子形成層の積層構造を反転させた状態を示す。

- 5 次に、実施例2の図6(A)で説明したのと同様に金属層801と酸化物層803との間の金属酸化物層802で物理的に剥離させることにより、第1の基板800、第2の接着層814、および第2の基板815を分離除去する。

さらに、本実施例では、図9(B)で示す第1の素子形成層902の上に存在する金属酸化物層802の一部をアンモニア水溶液などのアルカリ性の水溶液や酸性水溶液などを用いて除

- 10 去する。なお、この処理は必要に応じて行えばよい。

以上により、図10(B)に示すように熱伝導性の基板(第4の基板827)上に第2の素子形成層901と第1の素子形成層902とが積層された構造(実施例2とは異なる構造)を形成することができる。

【実施例4】

- 15 本実施例では、実施例2に示した集積回路の作製工程を自動化させた装置について図11を用いて説明する。なお、必要に応じて実施例2で用いた名称や番号を引用することとする。

まず、カセットステーション1101に素子形成層を有する第1の基板(図5(A)に示す状態の基板)を備えておく。次に、第1の基板を搬送室(A)1102aに備えられた搬送手段(A)1103aによりカセットステーション1101から取り出した後、塗布室(1)1105に搬送する。そして、

- 20 塗布室(1)1105において、基板上に有機樹脂を塗布する。さらに、第1の基板を搬送手段(A)1103aにより、UV照射室(1)1106に搬送し、先に塗布された有機樹脂にUV(紫外線)を照射することにより、有機樹脂層を形成する(図5(B)参照)。

次に、第1の基板を受け渡し室(A)1104aから、搬送室(B)1102bの搬送手段(B)1103bにより、スクライブ室1107に搬送する。なお、スクライブ室1107において、スクライバーによ

り基板の一部を分断することにより、後工程において、基板を剥離し易くすることができる。

次に、第1の基板を接着剤形成室(1)1108に搬送する。本実施例では、基板上に形成された有機樹脂層上に接着剤として両面テープが貼り付けられる。(これにより実施例2に示す第1の接着層512が形成される。)なお、接着剤形成室(1)1108の隣には、予備の両面テ

5 プが備えられ、両面テープの供給が可能な接着剤供給室(1)1109が接続されている。

次に、基板を受け渡し室(B)1104bから、搬送室(C)1102cの搬送手段(C)1103cにより、基板貼付室(1)1110に搬送する。なお、基板貼付室(1)1110において、先に基板上に貼り付けられた両面テープ上に新たな第2の基板(実施例2における第2の基板513)を貼り付けることができる。また、基板貼付室(1)1110の隣には、基板が備えられ、基板の供給が可能

10 な基板供給室(1)1111が接続されている。

次に、第1の基板(第2の基板が貼り付けられている)を接着剤形成室(2)1112に搬送する。本実施例では、基板上の裏面に接着剤として両面テープが貼り付けられる。(これにより実施例2に示す第2の接着層514が形成される。)なお、接着剤形成室(2)1112の隣には、予備の両面テープが備えられ、両面テープの供給が可能な接着剤供給室(2)1113が接続され

15 ている。

次に、第1の基板を基板貼付室(2)1114に搬送する。なお、基板貼付室(2)1114において、先に基板の裏面に貼り付けられた両面テープ上に新たな第3の基板(実施例2における第3の基板515)を貼り付けることができる。また、基板貼付室(2)1114の隣には、基板が備えられ、基板の供給が可能な基板供給室(2)1115が接続されている。

20 次に、基板を剥離室(1)1116に搬送する。ここで、実施例2において図6(A)で示すように第1の基板及び第3の基板が剥離される。なお、剥離室(1)1116の隣には、剥離された第1の基板および第3の基板が回収可能な基板回収室(1)1117が接続されている。

次に第1の基板および第3の基板が剥離された素子形成層(第2の基板を含む)は、パターン形成室1118およびエッチング室1119に搬送される。なお、パターン形成室1118におい

て、レジストパターンを形成した後、エッチング室1119においてエッチング処理が行われ、実施例2において、図6(B)で示すように剥離面の一部に開口部が形成される。開口部が形成された後、スパッタリング室1120に搬送され、開口部に補助配線が形成される。なお、ここで配線材料に用いられる材料などに関しては、実施例2に示されているので参照すればよ

5 い。

次に、素子形成層(第2の基板を含む)は、塗布室(2)1121に搬送され、補助配線が形成された面に接着剤が形成される。なお、本実施例の場合には、接着剤として非水溶性の異方導電性接着剤が塗布法により形成されるが、印刷法により形成することもできる。また、実施例2の場合には、第4の基板上に接着剤を形成し、これを素子形成層に貼り付ける場合につ

10 いて示しているが、本実施例に示すように素子形成層側に接着剤を形成し、これに第4の基板を貼り付けるという方法を用いることも可能である。

次に、基板貼付室(3)1122に搬送される。ここで、素子形成層(第2の基板を含む)が、非水溶性の異方導電性接着剤により第4の基板に接着される。なお、この場合における第4の基板は、貼り付けられる素子形成層が集積回路の1層目である場合には、駆動回路が形成さ

15 れた基板のことを示すが、貼り付けられる素子形成層が集積回路の2層目である場合には、基板上に駆動回路及び1層目の集積回路が形成された基板のことを示すものとする。また、基板貼付室(3)1122の隣には、このような第4の基板が備えられた基板供給室(3)1123が接続されている。

次に、基板を受け渡し室(B)1104bから、搬送室(B)1102bの搬送機構(B)1103bにより、

20 UV照射室(2)1124に搬送する。なお、UV照射室(2)1124において、先に基板上に貼り付けられた両面テープ(実施例2における第1の接着層512)に紫外線を照射することにより、両面テープの接着力を低下させることができる。

次に、剥離室(2)1125では、実施例2において図7(B)で示すように弱められた接着力で接着されている第2の基板を剥離する。なお、剥離室(2)1125の隣には、剥離された第2の

基板が回収可能な基板回収室(2)1126が接続されている。

次に、接着剤リムーバ室1127において、第2の基板を接着していた両面テープの除去を行う。なお、実施例2で示すように第2の基板と共に両面テープが除去される場合には、接着剤リムーバ室1127での処理を省略することもできる。

- 5 次に、洗浄室1128において、第2の基板および両面テープを除去して露出した有機樹脂層を水洗する。なお、有機樹脂層を形成する有機樹脂は水溶性であることから水洗することにより除去することができる。

- 本実施例で示す装置を用いることにより、実施例2で示した積層構造を有する集積回路を自動で作製することができる。なお、本実施例で示す装置は、受け渡し室により、搬送室が複数に分けられているので、異なる搬送室で同時に処理を行うことができるので、スループットを向上させることができる。なお、本実施例では、受け渡し室が2つで、搬送室が3つの場合について示したが、これに限られることはなく搬送室が2であっても、4つ以上であっても良い。
- 10

【実施例5】

- 15 本実施例では、パネルの画素部に発光素子が形成される場合の素子構造について、図12を用いて説明する。なお、図12(A)は、画素部における発光素子の断面構造について示すものであり、図12(B)(C)は、発光素子の素子構造について示したものである。なお、ここで示す発光素子は、電流制御用TFTと電氣的に接続された第1の電極と、電界発光層を挟んで形成された第2の電極により形成される。

- 20 図12(A)において、基板1201上に薄膜トランジスタ(TFT)が形成されている。なお、ここでは、発光素子1215の第1の電極1211と電氣的に接続され、発光素子1215に供給される電流を制御する機能を有する電流制御用TFT1222と、電流制御用TFT1222のゲート電極に印加されるビデオ信号を制御するためのスイッチング用TFT1221を示す。

基板1201としては、遮光性を有するシリコン基板を用いるが、ガラス基板、石英基板、樹脂

基板、フレキシブルな基板材料(プラスチック)を用いても良い。また、各TFTの活性層は、少なくともチャンネル形成領域1202、ソース領域1203、ドレイン領域1204を備えている。

また、各TFTの活性層は、ゲート絶縁膜1205で覆われ、ゲート絶縁膜1205を介してチャンネル形成領域1202と重なるゲート電極1206が形成されている。また、ゲート電極1206を覆って層間絶縁膜1208が設けられている。なお、層間絶縁膜1208を形成する材料としては、酸化珪素、窒化珪素および窒化酸化珪素等の珪素を含む絶縁膜の他、ポリイミド、ポリアミド、アクリル(感光性アクリルを含む)、BCB(ベンゾシクロブテン)といった有機樹脂膜を用いることができる。

次に、層間絶縁膜1208上に電流制御用TFT1222のソース領域1203と電氣的に接続された配線1207、およびドレイン領域1204と電氣的に接続された第1の電極1211が設けられる。なお、第1の電極1211が陽極である場合には、電流制御用TFT1222をpチャンネル型で形成し、陰極である場合には電流制御用TFT1222をnチャンネル型で形成するのが望ましい。

また、第1の電極1211の端部、および配線1207等を覆って絶縁層1212が形成される。

次に、第1の電極1211上に電界発光層1213が形成され、その上に、第2の電極1214を形成することにより発光素子1215を完成させることができる。

なお、本実施例において、第1の電極1211および第2の電極1214の材料を適宜選択することができるが、陽極として機能させる電極を形成する場合には、一般的に仕事関数の大きい導電性材料(例えば、仕事関数が4.0eV以上)を用いることが好ましく、陰極として機能させる電極を形成する場合には、一般的に仕事関数の小さい導電性材料(例えば、仕事関数が3.5eV以下)を用いることが好ましい。また、電界発光層において生じた光を透過させる電極を形成する場合には、透光性の材料を用いて電極を形成する必要がある。なお、この場合において、いずれか一方の電極のみを透光性の材料で形成し、他方を遮光性の材料で形成しても良いが、両方の電極材料を透光性の材料で形成することにより、両電極から光

を出射させることのできる発光素子を形成することができる。

また、図12(A)に示す発光素子において、陽極となる電極から電界発光層1213に正孔が注入され、陰極となる電極から電界発光層1213に電子が注入される。そして、電界発光層1213において、正孔と電子が再結合することにより発光が得られる。

- 5 また、電界発光層1213は、少なくとも発光層を含み、正孔注入層、正孔輸送層、ブロッキング層、電子輸送層、および電子注入層といったキャリアに対する機能の異なる層のいずれか一つ、もしくは複数を組み合わせて積層することにより形成される。

また、電界発光層1213を形成する材料としては、低分子系、高分子系、もしくは中分子系の公知の有機化合物を用いることができる。なお、ここでいう中分子系の有機化合物とは、昇華

- 10 性を有さず、分子数が20以下、又は連鎖する分子の長さが10 μ m以下の材料のことをいう。

なお、電界発光層1213を形成する材料として、具体的には以下に示すような材料を用いることができる。

正孔注入層を形成する正孔注入材料としては、有機化合物であればポルフィリン系の化合物が有効であり、フタロシアニン(以下、 H_2-Pc と示す)、銅フタロシアニン(以下、 $Cu-Pc$ と

- 15 示す)などがある。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸(以下、PSSと示す)をドーブしたポリエチレンジオキシチオフェン(以下、PEDOTと示す)や、ポリアニリン、ポリビニルカルバゾール(以下、PVKと示す)などが挙げられる。

正孔輸送層を形成する正孔輸送材料としては、芳香族アミン系(すなわち、ベンゼン環-窒素の結合を有するもの)の化合物が好適である。広く用いられている材料として、例えば、

- 20 先に述べたTPDの他、その誘導体である4, 4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(以下、「 α -NPD」と記す)や、4, 4', 4''-トリス(N, N-ジフェニル-アミノ)-トリフェニルアミン(以下、「TDATA」と記す)、4, 4', 4''-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(以下、「MTDATA」と記す)などのスターバースト型芳香族アミン化合物が挙げられる。

発光層を形成する発光材料としては、具体的には、トリス(8-キノリノラト)アルミニウム(以下、Alq₃と示す)、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、Almq₃と示す)、ビス(10-ヒドロキシベンゾ[h]-キノリノラト)ベリリウム(以下、BeBq₂と示す)、ビス(2-メチル-8-キノリノラト)-(4-ヒドロキシ-ビフェニリル)-アルミニウム(以下、BALqと示す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、Zn(BOX)₂と示す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、Zn(BTZ)₂と示す)などの金属錯体の他、各種蛍光色素が有効である。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料としては、トリス(2-フェニルピリジン)イリジウム(以下、Ir(ppy)₃と示す)、2, 3, 7, 8, 12, 13, 17, 18-オクタエチル-21H, 23H-ポルフィリン-白金(以下、PtOEPと示す)などが知られている。

電子輸送層を形成する電子輸送材料としては、金属錯体がよく用いられ、先に述べたAlq₃、Almq₃、BeBq₂などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体や、混合配位子錯体であるBALqなどが好適である。また、Zn(BOX)₂、Zn(BTZ)₂などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1, 3, 4-オキサジアゾール(以下、PBDと示す)、1, 3-ビス[5-(p-tert-ブチルフェニル)-1, 3, 4-オキサジアゾール-2-イル]ベンゼン(以下、OXD-7と示す)などのオキサジアゾール誘導体、3-(4-tert-ブチルフェニル)-4-フェニル-5-(4-ビフェニリル)-1, 2, 4-トリアゾール(以下、TAZと示す)、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニリル)-1, 2, 4-トリアゾール(以下、p-EtTAZと示す)などのトリアゾール誘導体、バソフェナントロリン(以下、BPhenと示す)、バソキュプロイン(以下、BCPと示す)などのフェナントロリン誘導体が電子輸送性を有する。

その他、ブロッキング層を含める場合には、ブロッキング層を形成する正孔阻止材料として、上で述べたBALq、OXD-7、TAZ、p-EtTAZ、BPhen、BCPなどが、励起エネルギー

レベルが高いため有効である。

- 図12(B)には、第1の電極1231が透光性の材料で形成された陽極であり、第2の電極1233が遮光性の材料で形成された陰極である場合の構成について示す。この場合には、第1の電極1231は、酸化インジウム・スズ(ITO)膜、酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜(IZO、または $\text{In}_2\text{O}_3-\text{ZnO}$)、ITOに0.5～20%の酸化珪素(SiO_2)を混合した透明導電膜($\text{ITO}-\text{SiO}_2$)といった透明導電膜を用いて形成することができる。
- 第2の電極1233は、Al、Ti、W、等を用いて形成することができるが、ここでは、第1の電極1231にITOを用い、第2の電極1233には、Alを用いた場合について示す。そして、電界発光層1232で生じた光は、第1の電極1231側から出射される。なお、この構成において、電界発光層1232を形成する材料は、先に示した材料を適宜選択して用いることができる。

なお、本発明は上記構成に限られることはなく、第1の電極1231を遮光性の陽極で形成し、第2の電極1233を透光性の陰極となるように形成することもできる。この場合には、第2の電極1232側から光が出射される。

- 図12(C)には、第1の電極1241および第2の電極1243の両方が、透光性の材料で形成されており、第1の電極が陽極で、第2の電極1243が陰極である場合の構成について示す。この場合には、第1の電極1241は、図12(B)で示した場合と同様に酸化インジウム・スズ(ITO)膜、酸化インジウムに2～20[%]の酸化亜鉛(ZnO)を混合した透明導電膜(IZO、または $\text{In}_2\text{O}_3-\text{ZnO}$)、ITOに0.5～20%の酸化珪素(SiO_2)を混合した透明導電膜($\text{ITO}-\text{SiO}_2$)といった透明導電膜を用いて形成することができる。第2の電極1243は、仕事関数の小さい材料であるMg:Ag(マグネシウムと銀の合金)とITOを積層することにより形成することができる。この場合には、電界発光層1242で生じた光は、第1の電極1241および第2の電極1243の両方側から出射される。なお、この構成においても、電界発光層1242を形成する材料は、先に示した材料を適宜選択して用いることができる。

さらに、本実施例では、図12(C)で示す構成とは別に、第1の電極及び第2の電極の両方

から光を出射させる構成について図13を用いて説明する。

- 図13(A)に示すように第1の電極1301が陽極で、第2の電極1303が陰極であるにもかかわらず、いずれもITOにより形成されている。しかし、この場合には、電界発光層1302の構造に特徴がある。すなわち、図13(B)に示すように、陰極となる第1の電極1303と接して形成される電界発光層には、仕事関数の小さいLi、Cs等のアルカリ金属がドーピングされたドーピング層1304を有している。これにより、陰極側の電界発光層1302の仕事関数を小さくすることができるので、陰極となる第2の電極1303の電極材料にITOを用いた場合にも陰極として機能させることができる。

- なお、図13(B)には、電界発光層1302が、正孔注入層1305、正孔輸送層1306、発光層1307、ブロッキング層1308、電子輸送層1309およびドーピング層1304により積層形成される場合について示したが、第2の電極1303と接する電界発光層1302にドーピング層を形成する以外の積層構成は上述した材料を適宜選択して用いることができる。

【実施例6】

- 本実施例では、パネルの画素部に液晶素子が形成される場合の素子構造について、図14を用いて説明する。

- 図14に示すように基板1401上には、TFT1402が形成されており、層間絶縁膜1403の開口部に形成された配線1404を介して、画素電極となる第1の電極1405と電氣的に接続されている。また、第1の電極1405上には配向膜1406が形成されており、ラビング処理がなされている。また、基板間隔を保持するための有機樹脂からなる柱状のスペーサ1407が設けられている。なお、スペーサ1407および配向膜1406の形成順序は逆でも良い。

一方、対向基板1413は、基板上に着色層1408、平坦化膜1409、透明性導電膜からなる対向電極1410および配向膜1411を有している。なお、着色層1408として、赤色の着色層、青色の着色層、および緑色の着色層がそれぞれ形成されていてもよい。

素子が形成された基板1401と対向基板1413とは、シール剤(図示せず)で貼り合わされ

ている。なお、シール剤にはフィラーが混入されていて、このフィラーとスペーサによって均一な間隔(好ましくは $2.0 \sim 3.0 \mu\text{m}$)を維持しつつ2枚の基板が貼り合わされている。また、両基板の間には液晶1412が注入されており、封止剤によって完全に封止されている。なお、液晶1412には公知の液晶材料を用いることができる。

- 5 なお、図14に示した構造とした場合、光は、対向基板1413側から入射し、液晶1412で変調されて、素子が形成された基板1401側から出射する。

 なお、本発明においては、第1の電極に反射性を有する金属膜(具体的には、アルミニウム(合金)膜等)を用いて形成することもできる。この場合には、光が対向基板1413側から入射し、液晶1412で変調された後、第1の電極1405で反射され、再び対向基板1413側から出

- 10 射する。なお、このような構造とした場合には、第1の電極1405の下方に光が透過することがないため、メモリ素子や抵抗素子等を設けることもできる

【実施例7】

 本発明を実施することにより、積層構造を有する集積回路をパネル上に含むモジュールを完成させることができる。従って、これらのモジュールを組み込むことにより様々な電子機器

- 15 を完成させることができる。

 これらの電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ、(ゴーグル型ディスプレイ)、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)等の記録媒体を再生し、その画像を表示しうる半導体装置を備えた装置)等が挙げられる。

- 20 これら電子機器の具体例を図14に示す。

 図14(A)は表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。なお、表示部2003のモジュールは、転写技術を用いて形成された集積回路を有している。なお、表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用装置が含まれる。

図14(B)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。なお、表示部2203のモジュールは、転写技術を用いて形成された集積回路を有している。

- 図14(C)はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作
5 キー2304、赤外線ポート2305等を含む。なお、表示部2302のモジュールは、転写技術を用いて形成された集積回路を有している。

- 図14(D)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、筐体2402、表示部 A2403、表示部 B2404、記録媒体読み込み部2405、操作キー2406、スピーカー部2407等を含む。なお、このプレーヤーは記録媒体としてDV
10 D(Digital Versatile Disc)、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。

図14(E)は携帯書籍(電子書籍)であり、本体2501、表示部2502、記憶媒体2503、操作スイッチ2504、アンテナ2505等を含む。なお、表示部2502のモジュールは、転写技術を用いて形成された集積回路を有している。

- 図14(F)はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート26
15 04、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609、接眼部2610等を含む。なお、表示部2602のモジュールは、転写技術を用いて形成された集積回路を有している。

- ここで図14(G)は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部27
20 04、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。なお、表示部2703のモジュールは、転写技術を用いて形成された集積回路を有している。

以上の様に、本発明により作製された集積回路を有するモジュールの適用範囲は極めて広く、あらゆる分野の応用製品に適用することが可能である。

【符号の説明】

- 101 基板
- 102 画素部
- 103 ソース側駆動回路
- 104 105 ゲート側駆動回路
- 5 106 集積回路
- 107 FPC
- 201 基板
- 202 画素部
- 203 駆動回路
- 10 204 積層回路
- 205 FPC
- 211 第1の基板
- 212 第1の素子形成層
- 213 第2の基板
- 15 214 第2の素子形成層
- 215 第3の基板
- 216 第3の素子形成層
- 301 基板
- 302 画素部
- 20 303 ソース側駆動回路
- 304 ゲート側駆動回路
- 305 ゲート側駆動回路
- 306 ディスプレイコントローラ
- 307 フレームメモリA

- 308 フレームメモリB
- 309 電源回路
- 310 FPC
- 311 ソース側駆動回路用電源
- 5 312 ゲート側駆動回路用電源
- 313 ディスプレイコントローラ用電源
- 314 フレームメモリ用電源
- 315 素子駆動用電源
- 316 ソース側駆動回路クロック信号・スタートパルス・映像信号
- 10 317 ゲート側駆動回路クロック信号・スタートパルス
- 318 フレームメモリ リード／ライト制御信号
- 321 信号制御回路
- 322 CPU
- 323 メモリーコントローラ
- 15 324 メモリ
- 401 分周回路
- 402 水平クロック発生回路
- 403 垂直クロック発生回路
- 404 映像信号処理回路
- 20 422 メモリR/W制御回路
- 423 Xカウンタ
- 424 Yカウンタ
- 425 Xカウンタ
- 426 Yカウンタ

- 427 Xデコーダ
- 428 Yデコーダ
- 429 Xデコーダ
- 430 Yデコーダ
- 5 441 ソース側駆動回路
- 442 ゲート側駆動回路
- 443 フレームメモリA
- 444 フレームメモリB
- 500 第1の基板
- 10 501 金属層
- 502 金属酸化物層
- 503 酸化物層
- 504 素子形成層
- 505 下地膜
- 15 506 不純物領域
- 507 チャネル形成領域
- 508 ゲート絶縁膜
- 509 ゲート電極
- 510 配線
- 20 511 有機樹脂層
- 512 第1の接着層
- 513 第2の基板
- 514 第2の接着層
- 515 第3の基板

- 516 開口部
- 517 補助配線
- 518 第3の接着層(異方導電性接着層)
- 519 第4の基板
- 5 520 熱伝導性膜
- 521 第4の接着層(異方導電性接着層)
- 522 有機樹脂層
- 523 第5の接着層
- 524 第5の基板
- 10 525 補助配線
- 601 点線
- 701 第2の素子形成層
- 702 第1の素子形成層
- 800 第1の基板
- 15 801 金属層
- 802 金属酸化物層
- 803 酸化物層
- 805 配線
- 814 第2の接着層
- 20 815 第2の基板
- 821 第1の接着層(異方導電性接着層)
- 822 有機樹脂層
- 823 第3の接着層
- 824 第3の基板

- 825 補助配線
- 826 バンプ
- 827 第4の基板(駆動回路)
- 828 第4の接着層(異方導電性接着層)
- 5 901 第2の素子形成層
- 902 第1の素子形成層
- 1101 カセットステーション
- 1102a 搬送室A
- 1102b 搬送室B
- 10 1102c 搬送室C
- 1103a 搬送手段B
- 1103b 搬送手段B
- 1103c 搬送手段C
- 1104a 受け渡し室A
- 15 1104b 受け渡し室B
- 1105 塗布室(1)
- 1106 UV照射室(1)
- 1107 スクライブ室
- 1108 接着剤形成室(1)
- 20 1109 接着剤供給室(1)
- 1110 基板貼付室(1)
- 1111 基板供給室(1)
- 1112 接着剤形成室(2)
- 1113 接着剤供給室(2)

- 1114 基板貼付室(2)
- 1115 基板供給室(2)
- 1116 剥離室(1)
- 1117 基板回収室(1)
- 5 1118 パターン形成室
- 1119 エッチング室
- 1120 スパッタリング室
- 1121 塗布室(2)
- 1122 基板貼付室(3)
- 10 1123 基板供給室(3)
- 1124 UV照射室(2)
- 1126 基板回収室(2)
- 1125 剥離室(2)
- 1127 接着剤リムーバー室
- 15 1128 洗浄室
- 1201 基板
- 1202 チャネル形成領域
- 1203 ソース領域
- 1204 ドレイン領域
- 20 1205 ゲート絶縁膜
- 1206 ゲート電極
- 1207 配線
- 1208 層間絶縁膜
- 1212 絶縁膜

- 1213 電界発光層
- 1214 第2の電極
- 1215 発光素子
- 1221 スイッチング用TFT
- 5 1222 電流制御用TFT
- 1231 第1の電極(透光性)
- 1232 電界発光層
- 1233 第2の電極(遮光性)
- 1241 第1の電極(透光性)
- 10 1242 電界発光層
- 1243 第2の電極(透光性)
- 1301 第1の電極(透光性)
- 1302 電界発光層
- 1303 第2の電極(透光性)
- 15 1304 ドーピング層
- 1305 正孔注入層
- 1306 正孔輸送層
- 1307 発光層
- 1308 ブロッキング層
- 20 1309 電子輸送層
- 1401 基板
- 1402 TFT
- 1403 層間絶縁膜
- 1404 配線

- 1405 第1の電極
- 1406 配向膜
- 1407 スペーサー
- 1408 着色層
- 5 1409 平坦化膜
- 1410 対向電極
- 1411 配硬膜
- 1412 液晶層
- 1413 対向基板
- 10 2001 筐体
- 2002 支持台
- 2003 表示部
- 2004 スピーカー部
- 2005 ビデオ入力端子
- 15 2201 本体
- 2202 筐体
- 2203 表示部
- 2204 キーボード
- 2205 外部接続ポート
- 20 2206 ポインティングマウス
- 2301 本体
- 2302 表示部
- 2303 スイッチ
- 2304 操作キー

- 2305 赤外線ポート
- 2401 本体
- 2402 筐体
- 2403 表示部A
- 5 2404 表示部B
- 2405 記録媒体読み込み部
- 2406 操作キー
- 2407 スピーカー部
- 2501 本体
- 10 2502 表示部
- 2503 記憶媒体
- 2504 操作スイッチ
- 2505 アンテナ
- 2601 本体
- 15 2602 表示部
- 2603 筐体
- 2604 外部接続ポート
- 2605 リモコン受信部
- 2606 受像部
- 20 2607 バッテリー
- 2608 音声入力部
- 2609 操作キー
- 2610 接眼部
- 2701 本体

2702 筐体

2703 表示部

2704 音声入力部

2705 音声出力部

5 2706 操作キー

2707 外部接続ポート

2708 アンテナ

特許請求の範囲:

【請求項1】

基板、

前記基板上の画素部、

- 5 前記基板上の駆動回路、および
少なくとも部分的に、前記駆動回路と重なる集積回路
を有する半導体装置。

【請求項2】

請求項1において、

- 10 前記集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモ
リのうちのいずれか一つを含む半導体装置。

【請求項3】

請求項1において、

前記画素部は、発光素子または液晶素子を有する半導体装置。

15 【請求項4】

請求項1において、

前記画素部は、第1の電極、電界発光層および第2の電極からなる発光素子を有し、かつ
前記第1の電極および前記第2の電極は透光性を有する半導体装置。

【請求項5】

- 20 請求項1において、

前記半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型である半導体装置。

【請求項6】

請求項1において記載の半導体装置を有し、

表示装置、ノート型パーソナルコンピューター、モバイルコンピューター、記録媒体を用い

るプレーヤー、電子書籍、ビデオカメラ、携帯電話、デジタルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクタ、カーステレオからなる群のいずれか一つである電子機器。

【請求項7】

- 5 基板、
前記基板上の画素部、
前記基板上の駆動回路、および
少なくとも部分的に、前記駆動回路と重なる集積回路を有し、
前記集積回路は別の基板上に形成された素子形成層を転写してなる
- 10 半導体装置。

【請求項8】

請求項7において、
前記集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモリのうちのいずれか一つである半導体装置。

15 【請求項9】

請求項7において、
前記集積回路は、前記集積回路を1層、または2層以上積層してなる半導体装置。

【請求項10】

- 請求項7において、
- 20 前記画素部は、発光素子または液晶素子を有する半導体装置。

【請求項11】

請求項7において、
前記画素部は、第1の電極、電界発光層および第2の電極からなる発光素子を有し、かつ
前記第1の電極および前記第2の電極は透光性を有する半導体装置。

【請求項12】

請求項7において、

前記半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型である半導体装置。

【請求項13】

- 5 請求項7において記載の半導体装置を有し、

表示装置、ノート型パーソナルコンピューター、モバイルコンピューター、記録媒体を用いるプレーヤー、電子書籍、ビデオカメラ、携帯電話、デジタルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクタ、カーステレオからなる群のいずれか一つである電子機器。

10 【請求項14】

基板、

前記基板上の画素部、

前記基板上の駆動回路、および

少なくとも部分的に、前記駆動回路と重なる集積回路を有し、

- 15 前記集積回路は前記画素部および前記駆動回路の一部または全部と電気的に接続されている

半導体装置。

【請求項15】

請求項14において、

- 20 前記集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモリのうちのいずれか一つを含む半導体装置。

【請求項16】

請求項14において、

前記画素部は、発光素子または液晶素子を有する半導体装置。

【請求項17】

請求項14において、

前記画素部は、第1の電極、電界発光層および第2の電極からなる発光素子を有し、かつ
前記第1の電極および前記第2の電極は透光性を有する半導体装置。

5 【請求項18】

請求項14において、

前記半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型である半導体装置。

【請求項19】

請求項14において記載の半導体装置を有し、

- 10 表示装置、ノート型パーソナルコンピューター、モバイルコンピューター、記録媒体を用いるプレーヤー、電子書籍、ビデオカメラ、携帯電話、デジタルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクタ、カーステレオからなる群のいずれか一つである電子機器。

【請求項20】

- 15 基板、

前記基板上の画素部、

前記基板上の駆動回路、および

少なくとも部分的に、前記駆動回路と重なる集積回路を有し、

前記集積回路は前記画素部および前記駆動回路の一部または全部と電気的に接続され

- 20 ており、

前記集積回路は別の基板上に形成された素子形成層を転写してなる
半導体装置。

【請求項21】

請求項20において、

前記集積回路は、ディスプレイコントローラ、フレームメモリ、電源回路、CPU、またはメモリのうちのいずれか一つである半導体装置。

【請求項22】

請求項20において、

- 5 前記集積回路は、前記集積回路を1層、または2層以上積層してなる半導体装置。

【請求項23】

請求項20において、

前記画素部は、発光素子または液晶素子を有する半導体装置。

【請求項24】

- 10 請求項20において、

前記画素部は、第1の電極、電界発光層および第2の電極からなる発光素子を有し、かつ前記第1の電極および前記第2の電極は透光性を有する半導体装置。

【請求項25】

請求項20において、

- 15 前記半導体装置は、アクティブマトリクス型、またはパッシブマトリクス型である半導体装置。

【請求項26】

請求項20において記載の半導体装置を有し、

- 表示装置、ノート型パーソナルコンピューター、モバイルコンピューター、記録媒体を用いるプレーヤー、電子書籍、ビデオカメラ、携帯電話、デジタルカメラ、ヘッドマウントディスプレイ、カーナビゲーション、プロジェクタ、カーステレオからなる群のいずれか一つである電子機器。
- 20

要約書

【要約】

【課題】 本発明では、システムオンパネルの狭額縁化を実現することを目的とする。また、パネル上に搭載されるシステムの高機能化または、多機能化を図ることを目的とする。

- 5 【解決手段】 本発明では、画素部(液晶素子、発光素子を含む)および駆動回路が形成されたパネル上に、従来、外部回路を構成していた集積回路を積層形成することを特徴とする。
- 具体的には、パネル上の画素部、駆動回路のうち、駆動回路と重なる位置に上述した集積回路のうちのいずれか一種、または複数種を転写技術により積層形成することを特徴とする。

【選択図】 図1